

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2003-163375

(43)Date of publication of application : 06.06.2003

(51)Int.Cl.

H01L 33/00
H01S 5/323

(21)Application number : 2001-363655

(71)Applicant : SANYO ELECTRIC CO LTD

(22)Date of filing : 29.11.2001

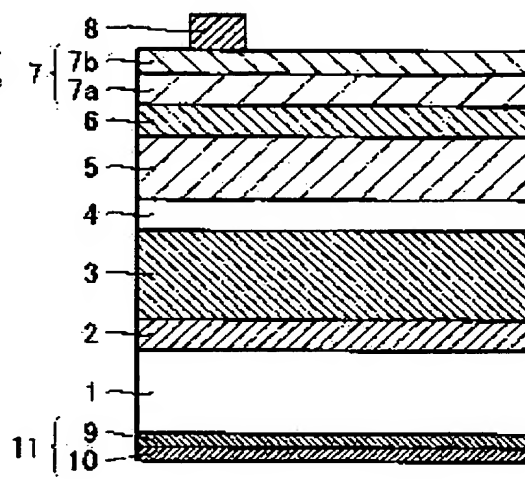
(72)Inventor : HATA MASAYUKI
NOMURA YASUHIKO
KANO TAKASHI

(54) NITRIDE SEMICONDUCTOR ELEMENT AND ITS MANUFACTURING METHOD

(57)Abstract:

PROBLEM TO BE SOLVED: To provide a nitride semiconductor element in which the deterioration or peeling of an electrode caused by the adsorption of moisture on the rear surface of a boron compound substrate can be prevented.

SOLUTION: The nitride semiconductor element comprises a nitride semiconductor layer (a buffer layer 2, an n-type clad layer 3, a light emitting layer 4, a p-type clad layer 5 and a p-type contact layer 6) formed on the front surface of a ZrB₂ substrate 1, and a protective film 9 made of a tungsten formed on the rear surface of the substrate 1.



LEGAL STATUS

[Date of request for examination]

01.06.2004

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

BEST AVAILABLE COPY

4

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号
特開2003-163375
(P2003-163375A)

(43) 公開日 平成15年6月6日 (2003.6.6)

(51) Int.Cl. ⁷	識別記号	F I	テラコード (参考)
H 0 1 L 33/00		H 0 1 L 33/00	C 5 F 0 4 1
H 0 1 S 5/323	6 1 0	H 0 1 S 5/323	6 1 0 5 F 0 7 3

審査請求 未請求 請求項の数 7 O L (全 12 頁)

(21) 出願番号 特願2001-363655(P2001-363655)

(22) 出願日 平成13年11月29日 (2001.11.29)

(71) 出願人 000001889

三洋電機株式会社

大阪府守口市京阪本通 2 丁目 5 番 5 号

(72) 発明者 畑 雅幸

大阪府守口市京阪本通 2 丁目 5 番 5 号 三

洋電機株式会社内

(72) 発明者 野村 康彦

大阪府守口市京阪本通 2 丁目 5 番 5 号 三

洋電機株式会社内

(74) 代理人 100104433

弁理士 宮園 博一

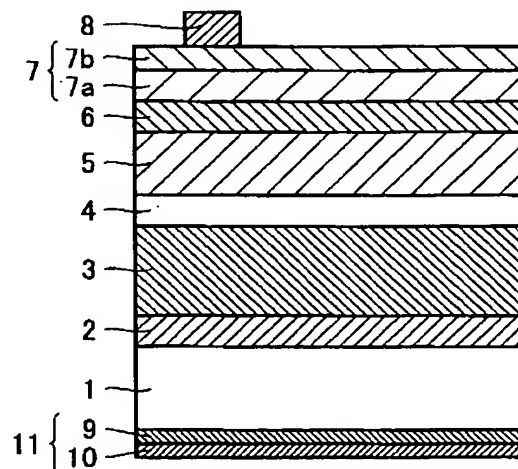
最終頁に続く

(54) 【発明の名称】 窒化物系半導体素子およびその製造方法

(57) 【要約】

【課題】 ホウ素化合物基板の裏面による水分の吸着に起因する電極の劣化や剥がれを防止することが可能な窒化物系半導体素子を提供する。

【解決手段】 この窒化物系半導体素子は、ZrB₂基板 1 の表面上に形成された窒化物系半導体層 (バッファ層 2、n型クラッド層 3、発光層 4、p型クラッド層 5 および p型コンタクト層 6) と、ZrB₂基板 1 の裏面上に形成されたタングステンからなる保護膜 9 とを備えている。



【特許請求の範囲】

【請求項 1】 ホウ素化合物基板の表面上に形成された窒化物系半導体層と、前記ホウ素化合物基板の裏面上に形成された保護膜とを備えた、窒化物系半導体素子。

【請求項 2】 前記保護膜は、前記ホウ素化合物基板の裏面が水分を吸着するのを抑制する機能を有する、請求項 1 に記載の窒化物系半導体素子。

【請求項 3】 前記保護膜は、導電性を有する、請求項 1 または 2 に記載の窒化物系半導体素子。

【請求項 4】 前記保護膜は、Al、Cu、Si、Cr、Mn、Fe、Ni および Co からなるグループより選択される少なくとも 1 つの金属または合金からなる電極を含む、請求項 1 ～ 3 のいずれか 1 項に記載の窒化物系半導体素子。

【請求項 5】 前記ホウ素化合物基板の裏面は、凹凸形状を有する、請求項 1 ～ 4 のいずれか 1 項に記載の窒化物系半導体素子。

【請求項 6】 ホウ素化合物基板の裏面上に保護膜を形成する工程と、前記ホウ素化合物基板の表面上に窒化物系半導体層を成長させる工程とを備えた、窒化物系半導体素子の製造方法。

【請求項 7】 前記保護膜を形成する工程の後に、水洗する工程をさらに備える、請求項 6 に記載の窒化物系半導体素子の製造方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】この発明は、窒化物系半導体素子およびその製造方法に関し、特に、III 族窒化物半導体に代表される半導体を用いた発光ダイオード素子 (LED)、半導体レーザ素子 (LD)、受光素子、バイポーラトランジスタ等の窒化物系半導体素子およびその製造方法に関する。

【0002】

【従来の技術】従来、窒化物半導体 ($\text{In}_x\text{Al}_y\text{Ga}_{1-x-y}\text{N}$, $0 \leq x$, $0 \leq y$, $x+y \leq 1$) を用いた紫外 LED、青色 LED、緑色 LED が実用化されている。また、窒化物半導体 ($\text{In}_x\text{Al}_y\text{Ga}_{1-x-y}\text{N}$, $0 \leq x$, $0 \leq y$, $x+y \leq 1$) を用いた紫外 LD が開発されている。これらの LED (発光ダイオード素子) および LD (半導体レーザ素子) の基本的な構造は、サファイア基板などの透明な絶縁性基板の上に、n 型 $\text{Al}_y\text{Ga}_{1-y}\text{N}$ ($0 \leq y \leq 1$) からなる n 型窒化物半導体層 (以下、n 層という) と、 $\text{In}_x\text{Ga}_{1-x}\text{N}$ ($0 < x \leq 1$) からなる活性層と、p 型 $\text{Al}_z\text{Ga}_{1-z}\text{N}$ ($0 \leq z \leq 1$) からなる p 型窒化物半導体層 (以下、p 層という) とが順に積層されたダブルヘテロ構造を有している。

【0003】また、LED の場合、発光観測面となる p 層には、活性層の発光を外部に取り出すために透光性の

金属からなる電極が設けられている。上記した従来のサファイア基板を用いる構造では、サファイア基板に劈開性が乏しいため、素子分離工程が容易ではないという不都合があった。特に、LD 素子の場合、サファイア基板に劈開性が乏しいため、LD (半導体レーザ素子) の共振器端面形成工程が容易ではないという不都合があった。

【0004】そこで、上記不都合を解決するために、劈開性が良好な ZrB_2 基板上へ窒化物半導体素子を形成することが試みられている。この ZrB_2 基板は、劈開性が良好なことに加えて、熱膨張係数および格子定数が窒化物半導体に近いいため、 ZrB_2 基板上に良好な結晶性を有する窒化物系半導体層を形成することが可能である。

【0005】

【発明が解決しようとする課題】しかしながら、上記した ZrB_2 基板は水分を吸着しやすい性質を有しているため、 ZrB_2 基板の裏面に電極を形成する際に、 ZrB_2 基板の裏面に水分が吸着している場合には、電極が劣化するとともに電極が剥がれやすいという問題点があった。

【0006】この発明は上記のような課題を解決するためになされたものであり、この発明の 1 つの目的は、 ZrB_2 基板などのホウ素化合物基板の裏面による水分の吸着に起因する電極の劣化や剥がれを防止することが可能な窒化物系半導体素子を提供することである。

【0007】この発明のもう 1 つの目的は、 ZrB_2 基板などのホウ素化合物基板の裏面による水分の吸着に起因する電極の劣化や剥がれを防止することが可能な窒化物系半導体素子の製造方法を提供することである。

【0008】

【課題を解決するための手段】上記目的を達成するために、この発明の第 1 の局面による窒化物系半導体素子は、ホウ素化合物基板の表面上に形成された窒化物系半導体層と、ホウ素化合物基板の裏面上に形成された保護膜とを備えている。

【0009】この第 1 の局面による窒化物系半導体素子では、上記のように、ホウ素化合物基板の裏面上に保護膜を設けることによって、その保護膜によりプロセス中にホウ素化合物基板の裏面に水分が吸着するのを抑制することができる。これにより、ホウ素化合物基板の裏面による水分の吸着に起因する電極の劣化や剥がれを防止することができる。

【0010】上記第 1 の局面による窒化物系半導体素子において、好ましくは、保護膜は、ホウ素化合物基板の裏面が水分を吸着するのを抑制する機能を有する。このように構成すれば、保護膜により容易にホウ素化合物基板の裏面に水分が吸着するのを低減することができる。

【0011】上記の窒化物系半導体素子において、好ましくは、保護膜は、導電性を有する。このように構成す

れば、保護膜を電極として用いることができるので、後の工程において保護膜を除去する必要がない。これにより、製造プロセスを簡略化することができる。

【0012】また、上記の窒化物系半導体素子において、好ましくは、保護膜は、Al、Cu、Si、Cr、Mn、Fe、NiおよびCoからなるグループより選択される少なくとも1つの金属または合金からなる電極を含む。このように構成すれば、容易に、保護膜を電極として用いることができる。この場合、ホウ素化合物基板の裏面は、凹凸形状を有するのが好ましい。このように構成すれば、保護膜を電極として用いた場合に、上記凹凸形状により、ホウ素化合物基板の裏面と電極との接触面積を増加させることができる。これにより、ホウ素化合物基板の裏面と電極との密着性を向上させることができるので、電極の剥がれをより有効に防止することができる。

【0013】この発明の第2の局面による窒化物系半導体素子の製造方法は、ホウ素化合物基板の裏面上に保護膜を形成する工程と、ホウ素化合物基板の表面上に窒化物系半導体層を成長させる工程とを備えている。

【0014】この第2の局面による窒化物系半導体素子の製造方法では、上記のように、ホウ素化合物基板の裏面上に保護膜を形成することによって、その保護膜によりプロセス中にホウ素化合物基板の裏面に水分が吸着するのを抑制することができる。これにより、ホウ素化合物基板の裏面による水分の吸着に起因する電極の劣化や剥がれを防止することができる。

【0015】上記の窒化物系半導体素子の製造方法において、好ましくは、保護膜を形成する工程の後に、水洗する工程をさらに備える。このように構成すれば、水洗する際には、保護膜によりホウ素化合物基板の裏面が覆われているので、ホウ素化合物基板の裏面に水分が吸着するのを抑制することができる。

【0016】また、上記第1の局面による窒化物系半導体素子の製造方法において、保護膜は、金属を含んでもよい。さらに、この場合、保護膜は、高融点金属を含んでもよい。

【0017】また、上記第1の局面による窒化物系半導体素子において、保護膜は、酸化物および窒化物のいずれかを含んでもよい。

【0018】また、上記第2の局面による窒化物系半導体素子の製造方法において、保護膜は、ホウ素化合物基板の裏面が水分を吸着するのを抑制する機能を有するようにしてもよい。このように構成すれば、保護膜により容易にホウ素化合物基板の裏面に水分が吸着するのを低減することができる。

【0019】また、上記第2の局面による窒化物系半導体素子の製造方法において、保護膜は、導電性を有していてもよい。このように構成すれば、保護膜を電極として用いることができるので、後の工程において保護膜を

除去する必要がない。これにより、製造プロセスを簡略化することができる。この場合、保護膜は、金属を含んでもよい。さらに、この場合、保護膜は、高融点金属を含むのが好ましい。

【0020】また、上記第2の局面による窒化物系半導体素子の製造方法において、保護膜は、酸化物および窒化物のいずれかを含んでもよい。

【0021】また、上記第2の局面による窒化物系半導体素子の製造方法において、保護膜は、Al、Cu、Si、Cr、Mn、Fe、NiおよびCoからなるグループより選択される少なくとも1つの金属または合金からなる電極を含んでもよい。このように構成すれば、容易に、保護膜を電極として用いることができる。この場合、保護膜を形成する工程の後に、熱処理する工程をさらに備えるようにしてもよい。このように構成すれば、保護膜を電極として用いる場合に、その熱処理によりホウ素化合物基板の裏面と電極との密着性を向上させることができるので、電極の剥離をより有効に防止することができる。

【0022】また、上記第2の局面による窒化物系半導体素子の製造方法において、保護膜は、電極を含み、保護膜を形成する工程に先だって、ホウ素化合物基板の裏面をドライエッチングする工程をさらに備えるようにしてもよい。このように構成すれば、保護膜形成前にホウ素化合物基板の裏面に吸着されていた水分を除去することができる。

【0023】また、上記の窒化物系半導体素子の製造方法において、保護膜は、電極を含み、保護膜を形成する工程に先だって、ホウ素化合物基板の裏面に凹凸形状を形成する工程をさらに備えるようにしてもよい。このように構成すれば、保護膜を電極として用いた場合に、上記凹凸形状により、ホウ素化合物基板の裏面と電極との接触面積を増加させることができる。これにより、ホウ素化合物基板の裏面と電極との密着性を向上させることができるので、電極の剥がれをより有効に防止することができる。

【0024】

【発明の実施の形態】以下、本発明を具体化した実施形態を図面に基づいて説明する。

【0025】（第1実施形態）図1は、本発明の第1実施形態による窒化物系半導体素子（発光ダイオード素子（LEDチップ））を示した断面構造図である。図1を参照して、まず、第1実施形態による発光ダイオード素子の構造について説明する。この第1実施形態の発光ダイオード素子では、（111）面を基板表面とするZrB₂基板1上に、約10nmの厚みを有するSiドープAlGa_{0.5}Nからなるバッファ層2が形成されている。バッファ層2上には、約5μmの厚みを有するSiドープGa_{0.5}Nからなるn型クラッド層3が形成されている。

【0026】n型クラッド層3上には、約5nmの厚み

を有するアンドープGa_{0.9}Nからなる障壁層(6層)と約5nmの厚みを有するアンドープIn_{0.9}Ga_{0.1}Nからなる井戸層(5層)とが交互に積層された多重量子井戸(MQW)からなる発光層4が形成されている。発光層4上には、約20nmの厚みを有するMgドープGa_{0.9}Nからなるp型クラッド層5、約50nmの厚みを有するMgドープIn_{0.9}Ga_{0.1}Nからなるキャリア濃度 $8 \times 10^{18} \text{ cm}^{-3}$ のp型コンタクト層6が順次形成されている。

【0027】また、p型コンタクト層6上には、約20nmの厚みを有するPd膜7aと、約40nmの厚みを有するAu膜7bとからなるp側透光性電極7が形成されている。そのp側透光性電極7の一部領域上には、約30nmの厚みを有するTi膜と、約500nmの厚みを有するAu膜とからなるp側パッド電極8が形成されている。

【0028】さらに、ZrB₂基板1の裏面上には、約500nmの厚みを有するタングステン膜からなる保護膜9が形成されている。保護膜9上には、約500nmの厚みを有するAu膜10が形成されている。この保護膜9とAu膜10とによってn側電極11が形成されている。

【0029】第1実施形態では、上記のように、ZrB₂基板1の裏面にタングステンからなる保護膜9を設けることによって、その保護膜9により後述する製造プロセス中にZrB₂基板1の裏面に水分が吸着するのを抑制することができる。これにより、ZrB₂基板1の裏面による水分の吸着に起因する電極の劣化や剥がれを防止することができる。

【0030】また、第1実施形態では、保護膜9を導電性を有するタングステンによって形成することにより、保護膜9を電極として用いることができる。これにより、後の工程において保護膜9を除去する必要がないので、製造プロセスを簡略化することができる。

【0031】図2～図4は、図1に示した第1実施形態による発光ダイオード素子の製造プロセスを説明するための断面図である。次に、図1～図4を参照して、第1実施形態の発光ダイオード素子の製造プロセスについて説明する。

【0032】まず、図2に示すように、約100μmの厚みを有する(111)面を基板表面とするZrB₂基板1の裏面上に、真空蒸着法を用いて直接タングステンからなる保護膜9を約500nmの厚みで形成する。

【0033】次に、MOVPE装置内にZrB₂基板1を設置した後、そのZrB₂基板1を約1150℃の成長温度(基板温度)に保持する。この状態で、H₂およびN₂からなるキャリアガス(H₂の含有率は約50%)、原料ガスとしてNH₃、トリメチルアルミニウム(TMAI)およびトリメチルガリウム(TMGA)を用いてZrB₂基板1上に、SiドープAlGa_{0.9}Nから

なるバッファ層2を約10nmの厚みで形成する。

【0034】その後、ZrB₂基板1を単結晶成長温度(好ましくは、1000℃～1200℃、たとえば1150℃)の成長温度に保持した状態で、H₂およびN₂からなるキャリアガス(H₂の含有率は約50%)、原料ガスとして、NH₃およびTMGA、ドーパントガスとしてSiH₄を用いて、バッファ層2上に、単結晶のSiドープGa_{0.9}Nからなる約5μmの厚みを有するn型クラッド層3を約3μm/hの成長速度で成長させる。

【0035】次に、ZrB₂基板1を単結晶成長温度(好ましくは700℃～1000℃:たとえば850℃)の成長温度に保持した状態で、H₂およびN₂からなるキャリアガス(H₂の含有率は約1～5%)、原料ガスとしてNH₃、トリエチルガリウム(TEGA)およびトリメチルインジウム(TMI_n)を用いて、n型クラッド層3上に、単結晶のアンドープGa_{0.9}Nからなる層厚5nmの障壁層(6層)と単結晶のアンドープIn_{0.9}Ga_{0.1}Nからなる層厚5nmの井戸層(5層)とを交互に成長することにより、MQWからなる発光層4を約0.4nm/sの成長速度で成長する。さらに連続して、単結晶のMgドープGa_{0.9}Nからなるp型クラッド層5を約3μm/hの成長速度で成長させる。

【0036】次に、ZrB₂基板1を単結晶成長温度(好ましくは700℃～1000℃、たとえば850℃)の成長温度に保持した状態で、H₂およびN₂からなるキャリアガス(H₂の含有率は約1～5%)、原料ガスとしてNH₃、TEGAおよびTMI_n、ドーパントガスとしてCp₂Mgを用いて、p型クラッド層5上に、MgドープIn_{0.9}Ga_{0.1}Nからなる約50nmの厚みを有するp型コンタクト層6を約3μm/hの成長速度で成長させる。

【0037】なお、p型クラッド層5およびp型コンタクト層6は、n型クラッド層3の成長温度よりも低い温度で成長する。具体的には、発光層4とはほぼ同じ温度でp型クラッド層5およびp型コンタクト層6を成長するのが好ましい。このような温度でp型クラッド層5およびp型コンタクト層6を成長することによって、発光層4の劣化を防止することができる。このように、この第1実施形態では、p型クラッド層5を発光層4とはほぼ同じ温度で形成しているため、発光層4を保護する層(キャップ層)を形成する必要がない。

【0038】次に、図4に示すように、p型コンタクト層6上のほぼ全面に、Pd膜7aおよびAu膜7bを順次形成することによって、p側透光性電極7を形成する。その後、p側透光性電極7上のp側パッド電極を形成する部分を除いて、フォトリソグラフィ技術を用いてレジスト膜(図示せず)を形成した後、水洗を行う。その後、Ti膜およびAu膜を真空蒸着法を用いて順次形成した後、リフトオフ法により、レジスト膜を除去することによって、p側透光性電極7上の一部に、Ti膜お

よびAu膜からなるp側パッド電極8を形成する。

【0039】最後に、図1に示したように、裏面のタングステンからなる保護膜9上に、Au膜を約500 μ mの厚みで蒸着する。なお、タングステンからなる保護膜9は、裏面の電極として機能する。その後、約600℃で熱処理することによって、p側透光性電極7をp型コンタクト層6にオーミック接触させる。このようにして、第1実施形態による発光ダイオード素子(LEDチップ)が作製される。

【0040】第1実施形態の製造プロセスでは、上記のように、p側パッド電極8を形成する際の水洗工程の前に、タングステンからなる保護膜9を形成することによって、水洗工程の際に、ZrB₂基板1の裏面がタングステンからなる保護膜9により保護されているため、ZrB₂基板1の裏面により水分が吸着されるのを抑制することができる。これにより、電極の劣化や剥がれ等を抑制することができる。

【0041】また、上記のようにLEDチップを形成した後、スクライブ、ダイシング、ブレーキングなどの方法を用いて、たとえば、1辺が400 μ mのほぼ正方形のチップ形状に素子分離を行う。このようにして、第1実施形態による青色LEDチップが作製される。

【0042】(第2実施形態)図5は、本発明の第2実施形態による窒化物系半導体素子(発光ダイオード素子(LEDチップ))を示した断面構造図である。この第2実施形態による発光ダイオード素子の構造が第1実施形態と異なるのは、ZrB₂基板1の裏面のn側電極構造のみである。

【0043】すなわち、この第2実施形態による発光ダイオード素子では、図5に示すように、ZrB₂基板1の裏面上に、約500nmの厚みを有するMn膜20が形成されている。そして、そのMn膜20上には、約500nmの厚みを有するAu膜21が形成されている。このMn膜20と、Au膜21とによって、n側電極22が構成されている。この第2実施形態のn側電極22以外の構造は、図1に示した第1実施形態の構造と同様である。

【0044】図6～図8は、図5に示した第2実施形態による発光ダイオード素子(LEDチップ)の製造プロセスを説明するための断面図である。次に、図5～図8を参照して、第2実施形態の発光ダイオード素子の製造プロセスについて説明する。

【0045】まず、この第2実施形態の製造プロセスでは、上記第1実施形態の製造プロセスと異なり、図6に示すように、下地としての約100 μ mの厚みを有する(111)面を基板表面とするZrB₂基板1の裏面上に、SiNxからなる絶縁性の保護膜23を約500nmの厚みで形成する。このSiNxからなる絶縁性の保護膜23は、プラズマCVD法または熱CVD法により形成する。

【0046】次に、図7に示すように、上記した第1実施形態と同様のプロセスを用いてZrB₂基板1上に、約10nmの厚みを有するSiドープAlGaInからなるバッファ層2、約5 μ mの厚みを有するSiドープGaInからなるn型クラッド層3、約5nmの厚みのアンドープGaInからなる障壁層(6層)と約5nmの厚みのアンドープIn_{0.5}Ga_{0.5}Nからなる井戸層(5層)とが交互に積層された多重量子井戸(MQW)からなる発光層4、約20nmの厚みを有するMgドープGaInからなるp型クラッド層5、および、約50nmの厚みを有するMgドープIn_{0.5}Ga_{0.5}Nからなるキャリア濃度 $8 \times 10^{18} \text{ cm}^{-3}$ のp型コンタクト層6を順次形成する。

【0047】さらに、p型コンタクト層6上のほぼ全面に、Pd膜7aおよびAu膜7bを順次形成することによって、p側透光性電極7を形成する。その後、p側透光性電極7上のp側パッド電極を形成する部分を除いて、フォトリソグラフィ技術を用いてレジスト膜(図示せず)を形成した後、水洗を行う。その後、Ti膜およびAu膜を真空蒸着法を用いて順次形成した後、リフトオフ法により、レジスト膜を除去することによって、p側透光性電極7上の一部に、Ti膜およびAu膜からなるp側パッド電極8を形成する。

【0048】この後、プラズマエッチングや反応性イオンエッチングなどのドライエッチングを用いて、ZrB₂基板1の裏面に形成されたSiNxからなる保護膜23を除去する。さらに、ZrB₂基板1の裏面をドライエッチングにより数100nm分エッチングすることによって、図8に示されるような形状が得られる。

【0049】この後、図5に示したように、ZrB₂基板1の裏面上に、基板側から約500 μ mの厚みを有するMn膜20と約500 μ mの厚みを有するAu膜21とを真空蒸着法などを用いて蒸着することによって、Mn膜20とAu膜21とからなるn側電極22を形成する。

【0050】その後、600℃で熱処理することによって、p側透光性電極7をp型コンタクト層6にオーミック接触させる。このようにして、図5に示した第2実施形態の発光ダイオード素子(LEDチップ)が作製される。

【0051】第2実施形態の製造プロセスでは、上記のように、p側パッド電極8の形成工程における水洗工程の前に、ZrB₂基板1の裏面上にSiNxからなる保護膜23を形成することにより、水洗工程においてZrB₂基板1の裏面がSiNxからなる保護膜23により保護されるため、ZrB₂基板1の裏面が水分を吸着するのを抑制することができる。これにより、n側電極22の劣化や剥がれを有効に抑制することができる。

【0052】また、第2実施形態による製造プロセスでは、保護膜23の除去後に、ZrB₂基板1の裏面をド

ライエッチングすることによって、ZrB₂基板1の裏面が水分を吸着するのをより抑制することができる。また、ドライエッチングによって、ZrB₂基板1の裏面表面付近の研磨などによる結晶欠陥を除去することができるので、ZrB₂基板1とn側電極22との間の接合抵抗の発生を抑制することができる。

【0053】また、第2実施形態では、上記した第1実施形態よりも工程が複雑になる。しかし、第1実施形態のタングステンの代わりに第2実施形態ではMn膜20を電極として用いるので、第1実施形態に比べて密着性の良好なn側電極22を形成することができる。

【0054】(第3実施形態)図9は、本発明の第3実施形態による窒化物系半導体素子(半導体レーザ素子(LDチップ))を示した断面構造図である。

【0055】図9を参照して、この第3実施形態による半導体レーザ素子では、ZrB₂基板31上に、所定の間隔を隔ててオーバーハング部32aを有するSiNからなるマスク層32が形成されている。マスク層32間に露出されたZrB₂基板31の表面上には、約10nm～約50nmの厚みを有するSiドープAlGaInからなるn型バッファ層33が形成されている。マスク層32およびn型バッファ層33上には、約2μmの厚みを有するSiドープGaInからなるn型GaIn層34が形成されている。n型GaIn層34上には、0.45μmの厚みを有するn型Al_{0.1}Ga_{0.9}Nからなるn型クラッド層35が形成されている。n型クラッド層35上には、約50nmの厚みを有するSiドープAl_{0.02}Ga_{0.98}Nからなるn型光ガイド層36が形成されている。

【0056】また、n型光ガイド層36上には、InGaInからなる多重量子井戸(MQW)発光層37が形成されている。MQW発光層37上には、約10nmの厚みを有するp型Al_{0.2}Ga_{0.8}Nからなるキャップ層38、約50nmの厚みを有するp型Al_{0.02}Ga_{0.98}Nからなるp型光ガイド層39、および、約0.45μmの厚みを有するp型Al_{0.1}Ga_{0.9}Nからなるp型クラッド層40が順次形成されている。また、p型クラッド層40のリッジ部の上面以外の領域を覆うように電流ブロック層41が形成されている。p型クラッド層40のリッジ部上および電流ブロック層41上には、約0.1μmの厚みを有するp型In_{0.05}Ga_{0.95}Nからなるp型コンタクト層42が形成されている。p型コンタクト層42上には、下層のNi膜と上層のAu膜とからなるp側電極43が形成されている。

【0057】ここで、第3実施形態による半導体レーザ素子では、ZrB₂基板31の裏面31aが、凹凸形状を有するように形成されている。この凹凸形状は、5nm～1μmの平均表面粗さRaを有するように形成されている。また、ZrB₂基板31の裏面31a上には、Ni膜とAu膜とからなる保護膜兼n側電極44が形成

されている。

【0058】第3実施形態では、上記のように、ZrB₂基板31の裏面31aを凹凸形状に形成することによって、ZrB₂基板31の裏面31aの表面積が増加するため、保護膜兼n側電極44のZrB₂基板31に対する密着性を向上させることができるので、保護膜兼n側電極44の剥がれをより有効に抑制することができる。

【0059】また、ZrB₂基板31の裏面31a上に保護膜兼n側電極44を設けることによって、後述する製造プロセス中に、保護膜兼n側電極44によりZrB₂基板31の裏面31aが水分を吸着するのを抑制することができる。これにより、保護膜兼n側電極44の劣化および剥がれを抑制することができる。

【0060】図10～図17は、図9に示した第3実施形態による半導体レーザ素子の製造プロセスを説明するための断面図である。以下、図9～図17を参照して、第3実施形態による半導体レーザ素子の製造プロセスについて説明する。

【0061】まず、図10に示すように、下地としての約300μmの厚みを有する(111)面を基板表面とするZrB₂基板31の上面上に、直接、SiNからなるマスク層32を形成する。このマスク層32は、オーバーハング部32aを有する逆メサ形状(逆台形形状)に形成する。このマスク層32では、隣接するマスク層32間の最短距離が、隣接するマスク層32間に位置するZrB₂基板31の露出部の幅よりも小さい。

【0062】このようなマスク層32の形成方法としては、まず、ZrB₂基板31上の全面にSi₃N₄層(図示せず)を形成した後、そのSi₃N₄層上の所定領域にレジスト(図示せず)を形成する。そして、そのレジストをマスクとして、Si₃N₄層をウェットエッチングすることによって、容易にオーバーハング部32aを有する逆台形形状のマスク層32を形成することができる。なお、このマスク層32は、約10nm～約1000nmの厚みで形成する。また、マスク層32の開口部は、たとえば、ZrB₂の[11-2]方向またはZrB₂基板の[1-10]方向に形成するのが好ましい。

【0063】この後、図11に示すように、ZrB₂基板31上に、約900℃～約1200℃の温度条件下で、約10nm～約50nmの厚みを有するSiドープAlGaInからなるn型バッファ層33を、形成する。そして、MOCVD法またはHVPE法を用いて、マスク層32を選択成長マスクとして、バッファ層上に、SiドープGaIn層34を選択横方向成長により形成する。このSiドープGaIn層34は、約950℃～約1200℃の温度条件下で、約2μmの厚みを有するように形成する。

【0064】ここで、上記のn型バッファ層33を成長させる際に、マスク層32がオーバーハング部32aを

有するので、オーバーハング部32a下のn型バッファ層33の厚みは薄くなる。これにより、オーバーハング部32a下の膜厚の薄いn型バッファ層33上にSiドープGaN層34が成長しにくくなるので、オーバーハング部32a下以外のn型バッファ層33上に、台形状のファセット（図示せず）が形成されやすくなる。このようにファセットが形成されると、成長初期の段階から横方向成長が支配的になるので、ZrB₂基板31上に、薄い膜厚で転位の低減されたSiドープGaN層34をヘテロ成長させることができる。

【0065】その後、ZrB₂基板を単結晶成長温度（好ましくは1000℃～1200℃、たとえば1150℃）の成長温度に保持した状態で、H₂およびN₂からなるキャリアガス（H₂の含有率は約50％）、原料ガスとしてNH₃およびTMGa、ドーパントガスとしてSiH₄を用いて、約0.45μmの膜厚を有するn型Al_{0.1}Ga_{0.9}Nからなるn型クラッド層35および約50nmの厚みを有するSiドープAl_{0.02}Ga_{0.98}Nからなるn型光ガイド層36を形成する。

【0066】そして、ZrB₂基板31を単結晶成長温度（好ましくは700～1000℃、たとえば850℃）の成長温度に保持した状態で、H₂およびN₂からなるキャリアガス（H₂の含有率は約1～5％）、原料ガスとして、NH₃、トリエチルガリウム（TEGa）およびトリメチルインジウム（TMIn）を用いて、n型光ガイド層36上に、単結晶のアンドープGaNからなる層厚5nmの障壁層（6層）と単結晶のアンドープIn_{0.03}Ga_{0.97}Nからなる層厚5nmの井戸層（5層）とを交互に成長することによって、MQW発光層37を約0.4nm/sの成長速度で成長する。さらに連続して、単結晶のMgドープAlGaNからなるキャップ層38を約3μm/hの成長速度で成長させる。

【0067】この後、ZrB₂基板31を単結晶成長温度（好ましくは1000～1200℃、たとえば1150℃）の成長温度に保持した状態で、約50nmの厚みを有するp型Al_{0.02}Ga_{0.98}Nからなるp型光ガイド層39、および、約0.45μmの厚みを有するp型Al_{0.1}Ga_{0.9}Nからなるp型クラッド層40を順次成長させる。

【0068】この後、図12に示すように、p型クラッド層40の約2μm程度の幅の電流通路の部分に、たとえばECRプラズマCVD法により、0.5μmの厚みを有するSi₃N₄膜からなるエッチングマスク45を形成する。そして、そのエッチングマスク45をマスクとして、たとえばCF₄をエッチングガスとして用いて、RIE法により、約2μmの幅を有するリッジを形成する。

【0069】次に、図13に示すように、エッチングマスク45を選択成長マスクとして、たとえば10000Paの減圧MOVPE法により、約3μmの厚みを有す

るSiドープAlGaNからなる電流ブロック層41を形成する。この後、エッチングマスク45を除去することによって、図14に示される形状が得られる。

【0070】次に、図15に示すように、10000Paの減圧MOVPE法により約0.1μmの厚みを有するp型In_{0.03}Ga_{0.97}Nからなるp型コンタクト層42を形成する。このp型コンタクト層42の形成条件としては、ZrB₂基板31を単結晶成長温度（好ましくは700～1000℃、たとえば850℃）の成長温度に保持した状態で、H₂およびN₂からなるキャリアガス（H₂の含有率は約1～5％）、原料ガスとして、NH₃、TEGaおよびTMIn、ドーパントガスとして、Cp₂Mgを用いる。

【0071】次に、図16に示すように、ZrB₂基板31の裏面31aを約80μmの厚みになるまで研磨する。この時、最終的なZrB₂基板の裏面31aの平均表面粗さRaが、5nm～1μmになるように研磨する。その後、水洗する。そして、窒素雰囲気中で約800℃まで昇温することによって、ZrB₂基板31の裏面31aに吸着している水分を脱離させる。

【0072】その後、図17に示すように、ZrB₂基板31の裏面31a上に、NiとAuとからなる保護膜兼n側電極44を真空蒸着法などにより蒸着する。その後、窒素雰囲気中で熱処理する。この熱処理により、保護膜兼n側電極44のZrB₂基板31の裏面31aに対する密着性を向上させることができる。なお、この熱処理は、ホウ素化合物と電極材料との反応性が高くなる温度である800℃から1150℃、特に、900～1050℃で熱処理することが好ましい。

【0073】そして、水洗を行った後、図9に示したように、p型コンタクト層42上に、Ni膜およびAu膜を真空蒸着法などを用いて順次積層することによって、p側電極43を形成する。その後、600℃で熱処理することによって、p側電極43をp型コンタクト層42にオーミック接触させる。このようにして、第3実施形態による半導体レーザ素子（LDチップ）が作製される。

【0074】第3実施形態の製造プロセスでは、上記のように、p側電極43を形成する際の水洗工程の前に、保護膜兼n側電極44を形成することによって、水洗工程の際に、ZrB₂基板31の裏面31aが保護膜兼n側電極44によって保護されるため、ZrB₂基板31の裏面が水分を吸着するのを抑制することができる。これにより、ZrB₂基板31の裏面31aに形成される保護膜兼n側電極44の劣化および剥がれを抑制することができる。

【0075】また、上記した第3実施形態の半導体レーザ素子では、薄い厚みで転位が低減されたSiドープGaN層34上に、各層35～40を形成するので、各層35～40において、良好な結晶性を実現することがで

きる。したがって、第3実施形態では、厚みが薄く、かつ、良好な素子特性を有する半導体レーザ素子を得ることができる。

【0076】(第4実施形態)図18は、本発明の第4実施形態による半導体レーザ素子(LDチップ)を示した断面構造図である。図19は、図18に示した第4実施形態による半導体レーザ素子の製造プロセスを説明するための断面図である。この第4実施形態では、上記した第3実施形態とは異なり、ZrB₂基板51の裏面は平坦に形成されている。ただし、ZrB₂基板51の裏面は、濃硫酸およびドライエッチングを用いて厚みが薄くされている。また、ZrB₂基板51の裏面には、NiとAuとからなる保護膜兼n側電極52が形成されている。

【0077】第4実施形態の製造プロセスとしては、上記した第3実施形態の製造プロセスと同様のプロセスを用いて、図19に示すように、ZrB₂基板51上に、各層33~42を形成する。その後、ZrB₂基板51を約200℃の濃硫酸中に浸すことによって、ZrB₂基板51を約100μmまで薄くする。ここで、濃硫酸でZrB₂基板51を薄くするのは、研磨などに比較して、ZrB₂基板51の裏面の表面付近に結晶欠陥が発生しにくく、かつ、ZrB₂基板51と保護膜兼n側電極52との接合抵抗の発生を抑制することができるためである。

【0078】この後、水洗を行う。そして、ZrB₂基板51の裏面をドライエッチングする。このドライエッチングによって、ZrB₂基板の裏面に吸着している水分を除去する。その後、ZrB₂基板51の裏面上に、NiとAuとからなる保護膜兼n側電極52を真空蒸着法などにより形成する。その後、窒素雰囲気中で800℃~1150℃(好ましくは900℃~1050℃)で熱処理する。

【0079】そして、水洗を行った後、p型コンタクト層42上に、Ni膜およびAu膜を真空蒸着法などを用いて順次形成することによって、図18に示したようなp側電極43を形成する。

【0080】その後、約600℃で熱処理することによって、p側電極43をp型コンタクト層42にオーミック接触させる。このようにして第4実施形態による半導体レーザ素子(LDチップ)が作製される。

【0081】第4実施形態では、上記のように、保護膜兼n側電極52の形成前に、ZrB₂基板51の裏面をドライエッチングすることによって、ZrB₂基板51の裏面が吸着している水分を容易に除去することができる。さらに、保護膜兼n側電極52をp側電極43の形成時の水洗工程の前に形成することによって、p側電極43の形成時の水洗工程の際に、ZrB₂基板51の裏面が水分を吸着するのを抑制することができる。

【0082】なお、今回開示された実施形態は、すべて

の点で例示であって制限的なものではないと考えられるべきである。本発明の範囲は、上記した実施形態の説明ではなく特許請求の範囲によって示され、さらに特許請求の範囲と均等の意味および範囲内でのすべての変更が含まれる。

【0083】たとえば、上記実施形態では、保護膜としてタングステン(W)からなる導電性を有する保護膜やSiNxからなる絶縁性の保護膜を用いたが、本発明はこれに限らず、他の材料からなる保護膜を用いてもよい。たとえば、絶縁性の保護膜としては、Al₂O₃膜でもよいが、酸素を含まない材料がZrB₂基板51の裏面を酸化しにくいので好ましい。

【0084】また、導電性の保護膜としては、たとえば、ニオブ(Nb)、モリブデン(Mo)、ルテニウム(Ru)、ハフニウム(Hf)、タンタル(Ta)、タングステン(W)、レニウム(Re)、オスミウム(Os)、イリジウム(Ir)などの高融点金属や、CeN、CrN、DyN、ErN、EuN、GdN、HoN、LaN、LuN、NbN、NdN、PrN、PuN、ScN、SmN、TbN、ThN、TiN、TmN、UN、VN、YN、YbN、ZrNなどの導電性の窒化物からなる保護膜であってもよい。

【0085】また、上記第1および第2実施形態では、保護膜としてタングステン(W)またはSiNxからなる保護膜を用いたが、本発明はこれに限らず、窒化物系半導体の成長温度において安定な材料であれば他の材料からなる保護膜を用いてもよい。具体的には、SiO₂膜でもよいが、酸素を含まない材料が基板の表面を酸化しにくいので好ましい。また、絶縁物でもよいが、導電性を有する材料が基板と窒化物系半導体間の接触抵抗を下げるので好ましい。たとえば、ニオブ(Nb)、モリブデン(Mo)、ルテニウム(Ru)、ハフニウム(Hf)、タンタル(Ta)、タングステン(W)、レニウム(Re)、オスミウム(Os)、イリジウム(Ir)などの高融点金属や、CeN、CrN、TyN、ErN、EuN、GdN、HoN、LaN、LuN、NbN、NdN、PrN、PuN、ScN、SmN、TbN、ThN、TiN、TmN、UN、VN、YN、YbN、ZrNなどの導電性の窒化物からなる保護膜が好ましい。上記のように、保護膜として窒化物系半導体の成長温度において安定な材料を用いることによって、窒化物系半導体の成長工程に耐えることが可能な保護膜を形成することができる。

【0086】また、上記第1および第2実施形態のp側透光性電極として光を透過する間隙を有する電極を形成してもよい。たとえば、p型コンタクト層6上に、電極幅が約20μmで電極間距離が約50μmのネット状(網目状)の約100nmの厚みを有するPd膜および約100nmの厚みを有するAu膜の2層からなる透光性電極を形成してもよい。この場合、この透光性電極

は、表面の約40%を覆うように形成する。

【0087】また、上記第1および第2実施形態では、透光性電極の下層としてPd膜を用いたが、本発明はこれに限らず、p型コンタクト層6と接する透光性電極の下層が、ニッケル(Ni)、白金(Pt)、パラジウム(Pd)、ロジウム(Rh)、ルテニウム(Ru)、オスミウム(Os)、イリジウム(Ir)からなる群から選択された少なくとも1つを含む金属または合金であってもよい。その中でも、特に、Ni、Pd、Ptをp型コンタクト層に接する側に配置すると、さらに好ましいオーミック接触を得ることができる。なお、上記第3および第4実施形態のp側電極の下層を構成するNi膜の代わりに、上記透光性電極の下層を構成するPd膜の代わりに用いることが可能な材料を用いてもよい。

【0088】また、上記第1および第2実施形態では、透光性電極の上層としてAu膜を用いたが、本発明はこれに限らず、亜鉛(Zn)、インジウム(In)、すず(Sn)、マグネシウム(Mg)からなる群から選択された少なくとも1つを含む酸化物を用いてもよい。具体的には、ZnO、In₂O₃、SnO₂、ITO(InとSnとの酸化物)、MgOなどを挙げることができる。

【0089】また、上記第2実施形態では、n側電極22のZrB₂基板1に接する側の層をMn膜20によって形成したが、本発明はこれに限らず、Al、Cu、Si、Cr、Mn、Fe、Ni、Coからなる群から選択された少なくとも1つを含む金属または合金によって形成してもよい。特に、Si、Cr、Mn、Ni、Coよりなる群から選択された少なくとも1種を含む金属または合金をZrB₂基板1と接する側に配置すれば、ZrB₂基板1とn側電極22とのより良好な密着性を得ることができる。すなわち、上記の金属または合金は、MB₂(Mは、Al、Ti、Zr、Hf、V、Nb、Ta、Crなどの金属元素)などで表されるホウ素化合物と反応性が高いので、ZrB₂基板1とn側電極22との良好な密着性を得ることができる。さらに、この密着性は、ZrB₂基板1の裏面にn側電極22を蒸着した後に行う熱処理によって向上させることができる。

【0090】また、第3および第4実施形態では、ZrB₂基板の裏面に接するNiと、そのNi上に形成されたAuとからなる保護膜兼n側電極を用いたが、本発明はこれに限らず、他の電極材料からなる保護膜兼n側電極であってもよい。具体的には、上記第2実施形態のMn膜20の代わりに用いることが可能な材料を、ZrB₂基板の裏面に接する保護膜兼n側電極を構成するNiの代わりに用いることができる。

【0091】また、上記実施形態は、水洗に対する保護膜を用いる例を示したが、本発明はこれに限らず、たとえば酸またはアルカリ洗浄を行う必要がある場合には、酸またはアルカリに耐性を有するSiNxなどの材料を保護膜として形成すればよい。保護膜が絶縁膜の場合に

は、除去する際にドライエッチングを用いる。これにより、保護膜を除去する際の基板裏面への水分の吸着を抑制することができる。

【0092】また、上記実施形態では、V族として、窒素のみを含む半導体を用いる例を示したが、本発明はこれに限らず、V族として窒素以外の少なくとも1つのV族と窒素とを含む半導体を用いてもよい。たとえば、GaInAsNや、GaInNPなどが考えられる。

【0093】また、半導体の結晶構造として、ウルツ鉱型であっても閃亜鉛鉱型構造であってもよい。

【0094】また、上記実施形態では、結晶成長方法として、MOVPE法を用いた例を示したが、本発明はこれに限らず、他の結晶成長方法を用いてもよい。たとえば、HVPE法やTMAI、TMGa、TMIn、NH₃、SiH₄、Cp₂Mgを原料ガスとして用いるガスソースMBE法によっても形成することができる。

【0095】また、上記実施形態では、ホウ素化合物基板の一例として、ZrB₂基板を用いたが、本発明はこれに限らず、MB₂(MはAl、Ti、Hf、V、Nb、Ta、Crなどの金属元素)などで表される他のホウ素化合物基板を用いる場合にも同様の効果を得ることができる。また、上記ホウ素化合物のうち、TiB₂、ZrB₂、HfB₂は、窒化物系半導体層と格子定数が近いので好ましく、その中でも、ZrB₂基板が、格子定数が最も近いのでより好ましい。

【0096】また、上記第3および第4実施形態では、選択成長マスクとして、SiN膜を用いたが、本発明はこれに限らず、窒化物半導体の結晶成長温度において安定な材料であれば他の材料であってもよい。具体的には、SiO₂膜でもよいが、酸素を含まない材料が基板の表面を酸化しにくいので好ましい。また、SiNxなどの絶縁物でもよいが、導電性を有する材料が基板と窒化物系半導体間の接触抵抗を下げるので好ましい。たとえば、ニオブ(Nb)、モリブデン(Mo)、ルテニウム(Ru)、ハフニウム(Hf)、タンタル(Ta)、タングステン(W)、レニウム(Re)、オスミウム(Os)、イリジウム(Ir)などの高融点金属や、CeN、CrN、TiN、ErN、EuN、GdN、HoN、LaN、LuN、NbN、NdN、PrN、PuN、ScN、SmN、TbN、ThN、TiN、TmN、UN、VN、YN、YbN、ZrNなどの導電性の窒化物からなる選択成長マスクが好ましい。

【0097】また、上記実施形態では、窒化物系半導体素子の例として、発光ダイオード素子(LED)および半導体レーザ素子(LD)について説明したが、本発明はこれに限らず、受光素子、バイポーラトランジスタ等の他の窒化物系半導体素子にも適用可能である。

【0098】

50①【発明の効果】以上のように、本発明によれば、ホウ素

化合物基板の裏面による水分の吸着に起因する電極の劣化や剥がれを防止することができる。

【図面の簡単な説明】

【図1】本発明の第1実施形態による発光ダイオード素子（LEDチップ）を示した断面構造図である。

【図2】図1に示した第1実施形態による発光ダイオード素子（LEDチップ）の製造プロセスを説明するための断面図である。

【図3】図1に示した第1実施形態による発光ダイオード素子（LEDチップ）の製造プロセスを説明するための断面図である。

【図4】図1に示した第1実施形態による発光ダイオード素子（LEDチップ）の製造プロセスを説明するための断面図である。

【図5】本発明の第2実施形態による発光ダイオード素子（LEDチップ）を示した断面構造図である。

【図6】図5に示した第2実施形態による発光ダイオード素子（LEDチップ）の製造プロセスを説明するための断面図である。

【図7】図5に示した第2実施形態による発光ダイオード素子（LEDチップ）の製造プロセスを説明するための断面図である。

【図8】図5に示した第2実施形態による発光ダイオード素子（LEDチップ）の製造プロセスを説明するための断面図である。

【図9】本発明の第3実施形態による半導体レーザ素子（LDチップ）を示した断面構造図である。

【図10】図9に示した第3実施形態による半導体レーザ素子（LDチップ）の製造プロセスを説明するための断面図である。

【図11】図9に示した第3実施形態による半導体レーザ素子（LDチップ）の製造プロセスを説明するための断面図である。

【図12】図9に示した第3実施形態による半導体レーザ素子（LDチップ）の製造プロセスを説明するための断面図である。

【図13】図9に示した第3実施形態による半導体レー

* ザ素子（LDチップ）の製造プロセスを説明するための断面図である。

【図14】図9に示した第3実施形態による半導体レーザ素子（LDチップ）の製造プロセスを説明するための断面図である。

【図15】図9に示した第3実施形態による半導体レーザ素子（LDチップ）の製造プロセスを説明するための断面図である。

【図16】図9に示した第3実施形態による半導体レーザ素子（LDチップ）の製造プロセスを説明するための断面図である。

【図17】図9に示した第3実施形態による半導体レーザ素子（LDチップ）の製造プロセスを説明するための断面図である。

【図18】本発明の第4実施形態による半導体レーザ素子（LDチップ）を示した断面構造図である。

【図19】図18に示した第4実施形態による半導体レーザ素子（LDチップ）の製造プロセスを説明するための断面図である。

【符号の説明】

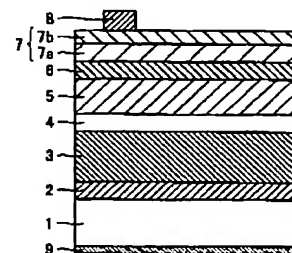
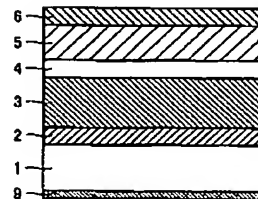
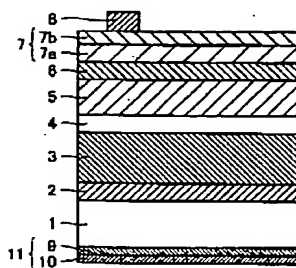
- 1、31、51 ZrB₂基板（基板）
- 2 バッファ層（窒化物系半導体層）
- 3 n型クラッド層（窒化物系半導体層）
- 4 発光層（窒化物系半導体層）
- 5 p型クラッド層（窒化物系半導体層）
- 6 p型コンタクト層（窒化物系半導体層）
- 9 保護膜（電極）
- 23 保護膜
- 33 n型バッファ層（窒化物系半導体層）
- 34 n型Ga_{0.5}N層（窒化物系半導体層）
- 35 n型クラッド層（窒化物系半導体層）
- 36 n型光ガイド層（窒化物系半導体層）
- 37 MQW発光層（窒化物系半導体層）
- 38 キャップ層（窒化物系半導体層）
- 39 p型光ガイド層（窒化物系半導体層）
- 40 p型クラッド層（窒化物系半導体層）
- 44、52 保護膜兼n側電極（保護膜）

【図1】

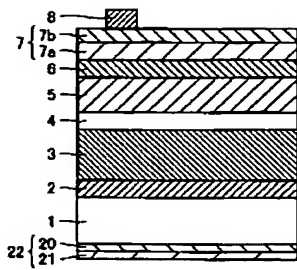
【図2】

【図3】

【図4】



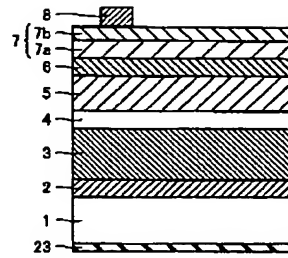
【図5】



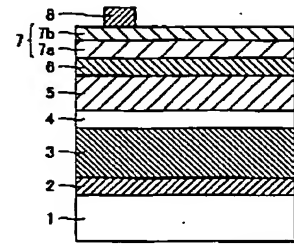
【図6】



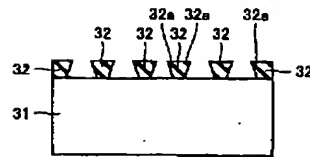
【図7】



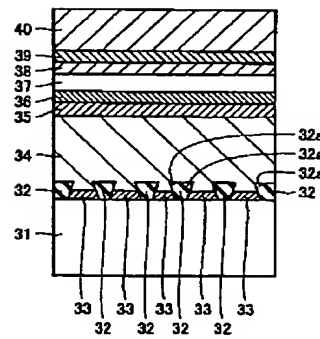
【図8】



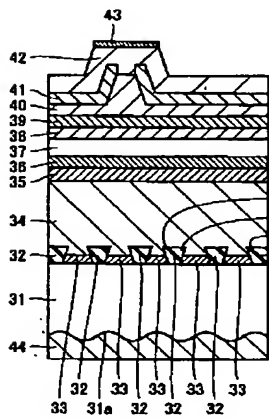
【図10】



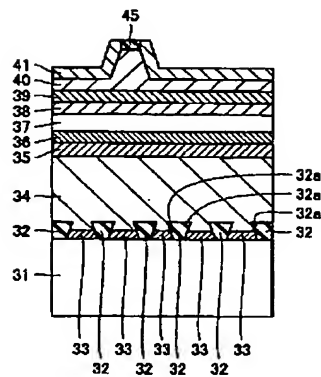
【図11】



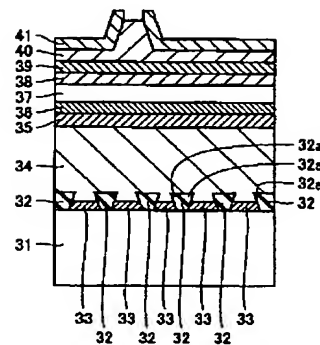
【図9】



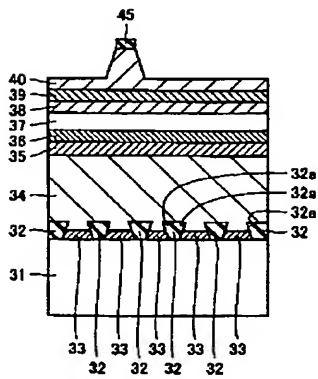
【図13】



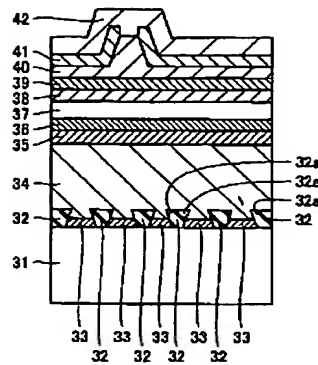
【図14】



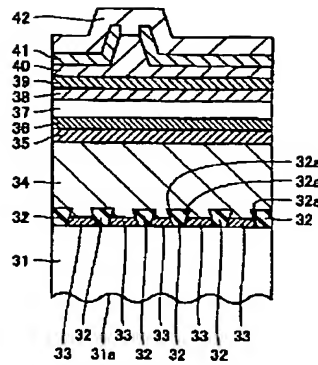
【図12】



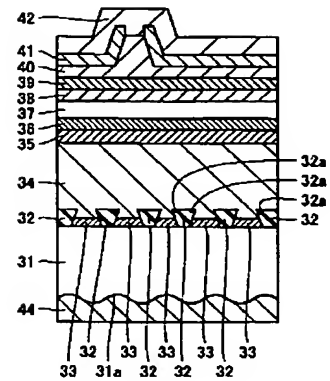
【図15】



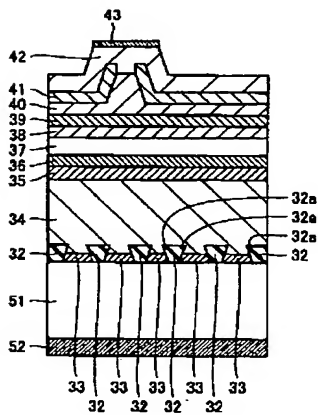
【図16】



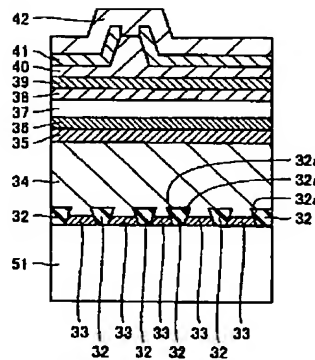
【図17】



【図18】



【図19】



フロントページの続き

(72)発明者 狩野 隆司
大阪府守口市京阪本通2丁目5番5号 三
洋電機株式会社内

Fターム(参考) 5F041 AA34 CA05 CA34 CA49 CA57
CA65 CA82
5F073 AA04 AA45 AA55 AA74 CA07
CB05 CB14 DA04 EA28

**This Page is Inserted by IFW Indexing and Scanning
Operations and is not part of the Official Record**

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images include but are not limited to the items checked:

- ☐ BLACK BORDERS
- ☐ IMAGE CUT OFF AT TOP, BOTTOM OR SIDES
- ☒ FADED TEXT OR DRAWING
- ☐ BLURRED OR ILLEGIBLE TEXT OR DRAWING
- ☐ SKEWED/SLANTED IMAGES
- ☐ COLOR OR BLACK AND WHITE PHOTOGRAPHS
- ☐ GRAY SCALE DOCUMENTS
- ☐ LINES OR MARKS ON ORIGINAL DOCUMENT
- ☐ REFERENCE(S) OR EXHIBIT(S) SUBMITTED ARE POOR QUALITY
- ☐ OTHER: _____

IMAGES ARE BEST AVAILABLE COPY.

As rescanning these documents will not correct the image problems checked, please do not report these problems to the IFW Image Problem Mailbox.